

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-022287

(43)Date of publication of application : 28.01.1994

(51)Int.Cl.

H04N 7/08

H04J 3/00

(21)Application number : 04-196602

(71)Applicant : HITACHI DENSHI LTD

(22)Date of filing : 30.06.1992

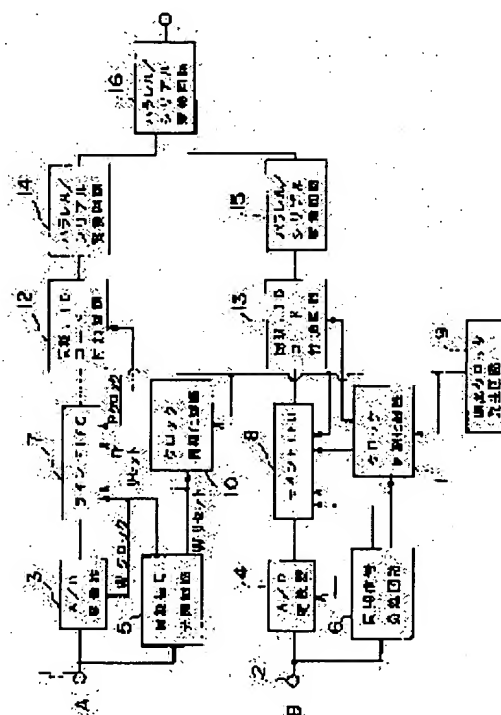
(72)Inventor : MURATA NORIO

(54) VIDEO SIGNAL MULTIPLEX TRANSMITTER

(57)Abstract:

PURPOSE: To reduce the scale of the circuit operated at a high speed by adding a word synchronization code at every channel individually at a timing synchronized with each video input.

CONSTITUTION: An input n-channel video signal is divided in the unit of one horizontal scanning period and written in a memory by synchronizing with the input video signal, the signal is read by arranging only a clock rate without synchronizing a signal of n-channel, thereafter the same word synchronization code and an ID code different from a channel are added to each memory output of n-channels, the n-channel parallel signal is converted into a serial signal of n-channel and the result is further converted into one system of serial signal. When input composite video signals are composed of two channels A, B and inputted from input terminals 1, 2, the circuit to be operated at a high speed is only a 2nd parallel/serial conversion circuit 16 on the sender side and a shift register circuit and a 1/2 frequency division counter circuit being components of the 1st serial/parallel conversion circuit only are required on a receiver side.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of]

Best Available Copy

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office.

Kokai No. 6-22287

<Claim 1>

An image signal multiplex transmission apparatus comprising n memories which store therein asynchronous image signals of n channels input thereto for at least one horizontal scanning period; a means for generating individual clocks for writing in the memories and writing address control signals, synchronously with the horizontal synchronizing signals of the input n image signals; a means for generating a common reading clock, having a frequency higher than any of the n clocks for reading from the memories; a means for generating n reading address control signals with a predetermined delay with respect to the individual writing addresses of the n channels, but synchronous with the common reading clock; a means for adding an identical word synchronizing code and different ID codes depending on the channels, to memory outputs of the n -channels; a means for converting parallel signals of the n channels into serial signals to obtain the serial signals of the n channels; and a means for converting the serial signals of the n channels into a serial signal of one line and for transmitting the same.

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 6 - 2 2 2 8 7

(43) 公開日 平成 6 年 (1994) 1 月 28 日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N	7/08	Z	9187 - 5 C	
H 0 4 J	3/00	M	8843 - 5 K	

審査請求 未請求 請求項の数 1

(全 8 頁)

(21) 出願番号 特願平 4 - 1 9 6 6 0 2

(22) 出願日 平成 4 年 (1992) 6 月 30 日

(71) 出願人 000005429

日立電子株式会社

東京都千代田区神田須田町 1 丁目 23 番 2 号

(72) 発明者 村田 宣男

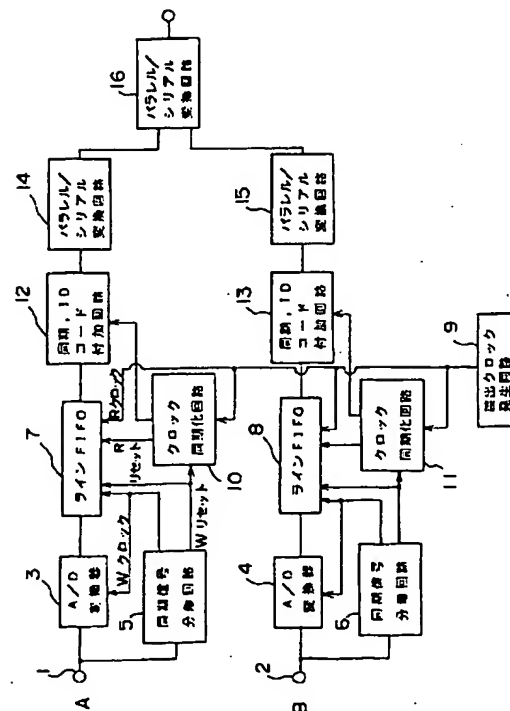
東京都小平市御幸町 32 番地 日立電子株式会社
小金井工場内

(54) 【発明の名称】 映像信号多重伝送装置

(57) 【要約】

【目的】 送信側での大容量メモリを不要とし、高速で動作する回路の規模を大幅に削減することが可能な映像信号多重伝送装置の実現を目的とする。

【構成】 入力 n チャンネル映像信号を 1 水平走査周期単位で区切り、入力映像信号に同期してメモリに書き込み、これを n チャンネルの信号の同期化は図らずにクロックレートだけをそろえて読み出した上、 n チャンネルの各メモリ出力に同一のワード同期符号とチャンネルにより異なる ID コードを付加し、 n チャンネルのパラレル信号を一旦各々 n チャンネルのシリアル信号に変換した後、これを更に 1 つのシリアル信号に変換して伝送する構成とし、チャンネル毎にワード同期コードを各映像入力に同期したタイミングで個別に付加することで、チャンネル間の映像信号同期をとる必要性をなくし、小容量のメモリでデータレートを合わせるだけで送信側の大容量のメモリを不要にし、ディジタル回路の規模の縮小を可能とした。



【特許請求の範囲】

【請求項1】 nチャンネルの非同期映像信号をそれぞれ入力しこれを少なくとも一水平走査期間記憶するn個のメモリと、当該n個の各映像信号入力の水平同期信号に同期した個別のメモリ書き込み用クロック及び書き込みアドレス制御信号を発生する手段と、メモリ読出し用の上記n個のどのクロックよりも高い周波数の共通の読出しクロックを発生する手段と、上記nチャンネル個別の書き込みアドレスから一定時間遅延しかつ共通の読出しクロックとは同期したn個の読出しアドレス制御信号を発生する手段と、上記nチャンネルの各メモリ出力に同一のワード同期符号とチャンネルにより異なるIDコードを付加する手段と、当該nチャンネルのパラレル信号を各々シリアル信号に変換しnチャンネルのシリアル信号を得る手段と、該nチャンネルのシリアル信号を更に一系統のシリアル信号に変換しこれを伝送する手段を有することを特徴とする映像信号多重伝送装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、複数のコンポーネントカラーTV信号等の、非同期多チャンネル映像信号を高速で伝送するデジタル信号伝送装置に関するものである。

【0002】

【従来の技術】近年、光ファイバーケーブル等の実用化に伴い、より高速のデジタル信号伝送が可能になってきている。このため、複数台のテレビジョンカメラ出力信号等を、まとめて一本のシリアル信号として伝送するケースが増えてきている。デジタル信号をシリアル信号のかたちで伝送する際には、通常、映像信号のブラン

キング期間のようなデータの切れ目等に、受信側でデータの先頭を知る目印のためのワード同期コードを付加する必要が有る。また、レート異なる信号をシリアル信号に多重することは困難である。このため従来の技術では、このような非同期の多チャンネル映像信号を多重して伝送する際には、フレームシンクロナイザのような大容量のメモリを用いて、各映像信号を同期化してから、これにワード同期コードを付加しシリアル信号に変換する方法がとられている。

【0003】従来の技術の例としてA、B2チャンネルの非同期映像信号多重伝送装置の伝送部のブロック図を図2に示し、以下この動作を簡単に説明する。A、B2つの入力端子から加えられた入力映像信号は、各々2つのA/D変換器21、22で各チャンネルmビットからなるパラレルデジタル信号に変換される。また、同期分離回路23、24は入力映像信号から各々のチャンネルの水平、垂直同期パルス及び画素クロックを抽出する。メモリ書き込みアドレスコントローラ25、26は、この水平、垂直同期パルス及び画素クロックを基準タイミングとした書き込みアドレスを出力し、前記デジタル化さ

れた映像信号をフレームメモリ27、28に書き込む。

【0004】一方、2つのフレームメモリ27、28からの読出しは、基準同期信号発生回路29出力を基準タイミングとした共通の読出しアドレスコントローラ30出力で制御される。こうすることにより図5の(1)にアナログ信号イメージで示す非同期入力映像信号は、2つのフレームメモリ出力では図5の(2)に示すように同期したものとなる。このように同期化された信号は、ワード同期コード付加回路31に送られ、映像信号のブランキング期間のようなデータの切れ目に、受信側でワードの切れ目を知る目印となるためのワード同期コードを付加した後、パラレル/シリアル変換回路32でシリアル信号に変換されていた。なお、ここで補足としてワード同期コードの意味を説明すると、このコードはたとえば、111100001111といった12ビットのコードのようなものが用いられ、このコードの直後からワードの先頭が始まると定義して使用されるものである。受信装置では伝送されてきたシリアル信号から、このワード同期コードを検出し元のパラレル信号を復元する。

【0005】

【発明が解決しようとする課題】以上のように従来の方法では映像信号を多重して伝送するためには、大容量のフレームメモリが必要になる。このため送信側装置の大きさ、コスト等を小さく出来ないという問題が有った。また、従来の方法では、送信側では多数のパラレル信号を一度にシリアル信号に、受信側ではワード同期コードを検出した上、シリアル信号を一度に多数のパラレル信号に変換する必要があったために、高速で動作する回路の規模が大きく、電力、コスト、安定性等の面で問題があった。本発明はこれらの欠点を除去し、送信側での大容量メモリを不要とし、高速で動作する回路の規模を大幅に削減することが可能な映像信号多重伝送装置の実現を目的とする。

【0006】

【課題を解決するための手段】本発明は上記の目的を達成するため、nチャンネルの非同期映像信号をそれぞれ入力しこれを少なくとも一水平走査期間記憶するn個のメモリと、当該n個の各映像信号入力の水平同期信号に同期した個別のメモリ書き込み用クロック及び書き込みアドレス制御信号を発生する手段と、メモリ読出し用の上記n個のどのクロックよりも高い周波数の共通の読出しクロックを発生する手段と、上記nチャンネル個別の書き込みアドレスから一定時間遅延しかつ共通の読出しクロックとは同期したn個の読出しアドレス制御信号を発生する手段と、上記nチャンネルの各メモリ出力に同一のワード同期符号とチャンネルにより異なるIDコードを付加する手段と、nチャンネルのパラレル信号を各々シリアル信号に変換しnチャンネルのシリアル信号を得る手段と、該nチャンネルのシリアル信号を更に一系統のシリアル信

号に変換しこれを伝送する手段を有する構成としたものである。

【0007】

【作用】本発明は、入力 n チャネル映像信号を1水平走査周期単位で区切り、入力映像信号に同期してメモリに書き込み、これを n チャネルの信号の同期化は図らずにクロックレートだけをそろえて読み出した上、 n チャネルの各メモリ出力に同一のワード同期符号とチャネルにより異なるIDコードを付加し、 n チャネルのパラレル信号を一旦各々 n チャネルのシリアル信号に変換した

【0008】

【実施例】図1に本発明の一実施例を示し、以下この動作を詳しく説明する。なお、以下の説明では入力複合映像信号はA、B2チャネルであるケースを例にとる。A、B2チャネルの複合映像信号は入力端子1、2から入力され、各々のA/D変換回路3、4と同期信号分離回路5、6に送られる。同期信号分離回路5、6は各々の入力映像信号に同期したクロック及び水平同期信号を再生する。また、A/D変換器3、4はこのクロックに同期してアナログ入力映像信号をデジタル信号に変換する。なお、入力信号があらかじめデジタル信号であった場合はこのA/D変換器は不要であることは言うまでもない。

【0009】次に、A/D変換器3、4出力は、映像信号を1水平走査期間以上記憶するラインFIFO(First In First Out)メモリ7、8の入力ポートに加えられる。ここでFIFOメモリ7、8を簡単に説明すると、これは図3に示すように入力及び出力ポート41、43、メモリセル42、書き込みアドレスポインタ44、読み出しアドレスポインタ45より構成され、書き込み

用、読み出し用の各々のクロックとリセット信号を加えることで、非同期の読み書きが同時に行えるメモリである。

【0010】そして、同期信号分離回路5、6出力のクロック及び水平同期信号をこのメモリ7、8の書き込みクロック及びリセット端子に加え、読み出しクロック端子には、どちらのチャネルの書き込みクロックよりも周波数の高い読み出しクロック発生回路9で発生させたクロックを、またリセット端子には書き込みリセット信号をクロック同期化回路10、11で一定時間遅延させた

上、読み出しクロックに同期化させた信号を加えれば、図6の(1)に示す非同期かつデータレートの異なるA、B2チャネルのA/D変換出力は、2つのメモリ7、8出力では同じ出力レートでかつ1水平走査周期単位で時間軸圧縮された図6の(2)に示す出力に変換される。ここで念のためリセット、同期信号等を発生するクロック同期化回路の具体的構成例を示しておく、これは、図4に示すようにリセット入力を持つカウンタ51とこの出力をデコードするデコーダ52で簡単に構成できる。メモリ7、8出力は、次に同期、IDコード付加回路12、13に送られ、図6の(3)に示すように映像信号の先頭部分に各チャネル共通の同期コード及びチャネル毎に異なるIDコードを付加された上、各々第1のパラレル/シリアル変換回路14、15でシリアル信号に変換される。この2チャネルのシリアル信号は、第2のパラレル/シリアル変換回路16で一系統のシリアル信号に変換され伝送される。

【0011】次に、上記方法で多重された信号を受信する回路例を図7に示し、この動作を説明すると、受信インタフェース回路61は、伝送路を介して伝送されてきたデータを受信し、シリアルデータとクロックを再生する。このシリアルデータとクロックはシリアルIN/パラレルOUTのシフトレジスタ62と、2分周カウンタ63からなる第1のシリアル/パラレル変換回路に送られる。ここで、シリアルデータはシフトレジスタ62のシリアルIN端子62-1に、また分周前のクロックはシリアルクロック端子62-2に、分周後のクロックはパラレルロードクロック端子62-3に接続される。こうすると、シフトレジスタ62のパラレルOUT端子62-4からは、パラレルにA、B2チャネルのデータが元のシリアルデータの1/2にレートダウンされて出力される。

【0012】しかし、このシリアル/パラレル変換では、シリアルデータのワードの切れ目に相当する、A、B2チャネルの区切りがどこであるかを判定せず、単純にシリアル信号をパラレル化しているので、2つのパラレルOUT端子の内どちらからA、Bチャネルの信号が出力されるかは確定しない。通常これを確定させるためには、送信部の前記第2のパラレル/シリアル変換を行う際に、ワード同期コードを付加しておき、受信部では、受信したシリアルデータの中からこれを検出し、上記2分周カウンタ63をリセットする必要がある。しかし、通常ワード同期コード検出回路は多段のシフトレジスタとデータ一致判定回路により構成されるため、こうすると高速で動作しなければならない回路が増えることになる。このため、本発明では以下の方法で、出力チャネルが確定しないまま後段の処理を可能にしている。即ち、シフトレジスタ62のパラレルOUT端子から出力された2つのシリアル信号は、2つある第2のシリアル/パラレル変換回路64、65に加えられる。上記した

ように、この2つのシリアル/パラレル変換回路64、65の各々に入力される信号はどのチャンネルの信号かは確定していない。しかし、送信部で各チャンネル共通のワード同期コードが付加されているので、どのチャンネルのシリアル信号が入力しても、出力からはパラレルにシリアルデータが得られる。

【0013】次に、パラレルに得られる出力のうちシリアル/パラレル変換回路65の出力はチャンネルID判定回路66に送られ、送信部で付加されたチャンネルIDコードが読解され、この信号がどのチャンネルの信号であるかを判定される。なお、シリアル/パラレル変換回路65の出力だけがチャンネルID判定回路66に送られるのは、2つの内1つのチャンネルが判定できれば他は自ずから確定するからであり、シリアル/パラレル変換回路65の代わりにシリアル/パラレル変換回路64の出力で判定を行っても差し支えない。また、第2のシリアル/パラレル変換回路64、65の出力は、2チャンネルのパラレル入力と同じく2チャンネルのパラレル出力を有するスイッチング回路68に送られる。また、チャンネルID判定回路66の出力はスイッチング制御回路67に送られる。そして、スイッチング制御回路67はスイッチング回路68の出力が上から順にA、Bチャンネルとなるようスイッチング回路68を制御する。

【0014】以上のように本発明の多重方法を用いれば、受信側で第1のシリアル/パラレル変換時にワード同期検出を行わなくても、正しいチャンネルのパラレルデータを得ることができる。このように本発明を用いると、送信側で必要とするメモリ容量は1水平ライン分のみであり、また高速で動作する回路も、送信側では第2のパラレル/シリアル変換回路16だけに、また、受信側でも第1のシリアル/パラレル変換回路を構成するシフトレジスタ回路62と2分周カウンタ回路63だけで済み、他の回路はこの1/2以下のレートで動作する低速回路で構成できる。なお、このように伝送したデータをそのままD/A変換すると、ジッタが問題となることがあるため、受信側装置には通常このジッタを除去するためのフレームシンクロナイザ69、70が必要となる。しかし、一般にこのような映像信号伝送システムで

は、伝送レートが決まっている場合や外部システムからの制御に同期して映像信号を出力するため、従来の方法のように、送信側にフレームシンクロナイザがある場合にも受信側でもフレームシンクロナイザが必要になるケースが多い。また、以上の説明では説明を簡単にするために映像信号のチャンネル数を2としたが、この数は3以上であっても同様の構成で本発明の効果が得られる。

【0015】

【効果】以上のように本発明を用いると、送信側で大容量のメモリが不要になるほか、高速で動作する回路の規模を送受両方で大幅に削減することが可能になり、従来方式で問題となっていたコストが高いといった問題や、高速動作回路が多いため電力が大きく、安定性にも問題があるといった問題を解決することができる。

【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック図。

【図2】従来技術の送信部の構成を示すブロック図。

【図3】本発明に用いるFIFOメモリの構造を説明する図。

【図4】リセット、同期信号等を発生する回路の構成例を説明する図。

【図5】従来技術の映像同期化回路の入出力タイミングチャート。

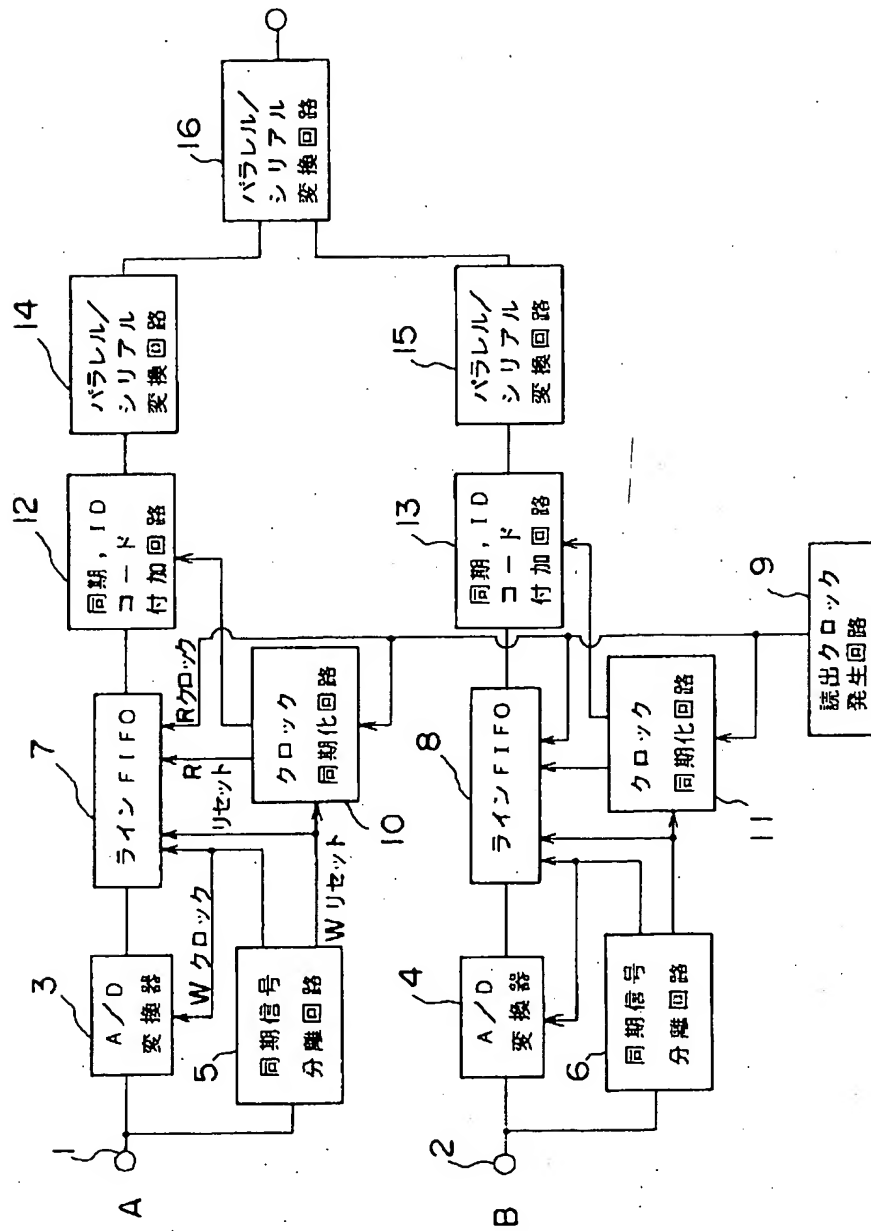
【図6】本発明の映像信号レート同一化、同期IDコード付加のタイミングチャート。

【図7】本発明の装置により伝送された信号を受信する装置の例を説明する図である。

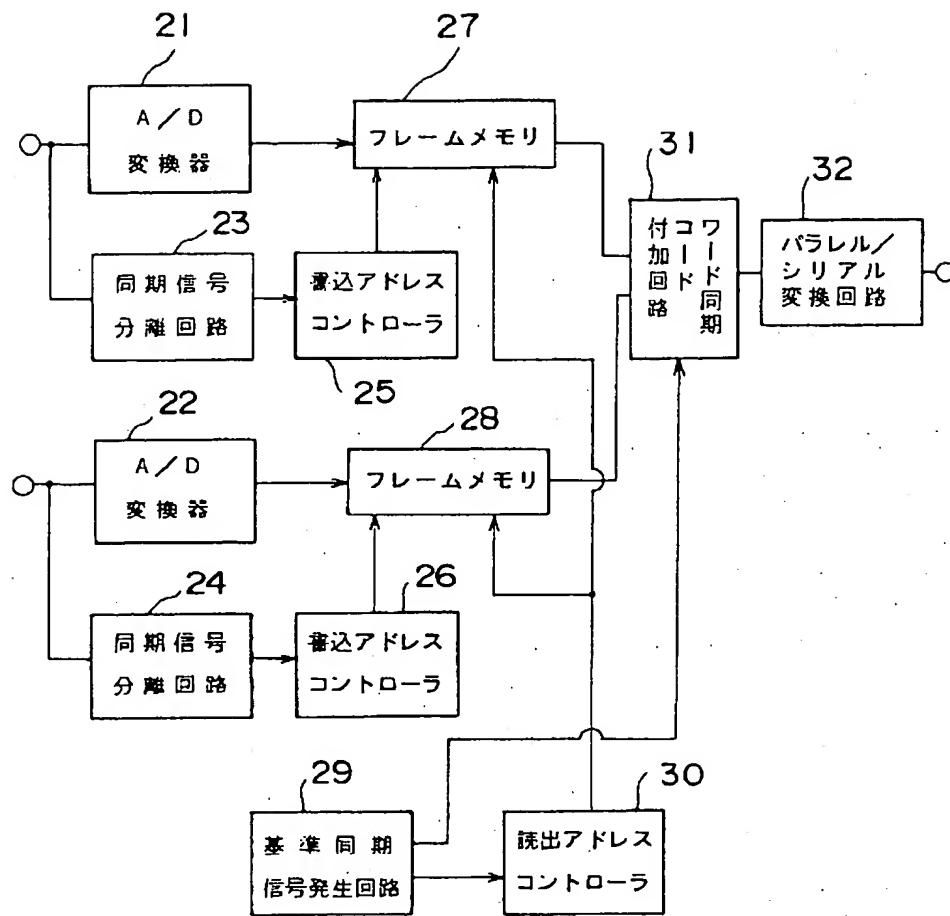
【符号の説明】

5, 6 同期信号分離回路、7, 8 ラインメモリ、10, 11 クロック同期化回路、12, 13 同期、IDコード付加回路、14~16 パラレル/シリアル変換回路、61 受信インタフェース、62 シフトレジスタ、63 2分周カウンタ、64, 65 シリアル/パラレル変換回路、66 チャンネルID判定回路、67 スwitchング制御回路、68 スwitchング回路、69, 70 フレームシンクロナイザ。

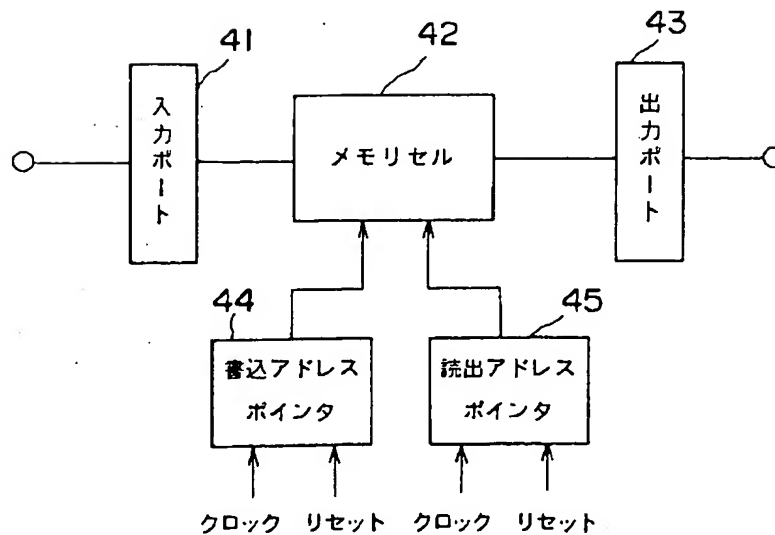
【図1】



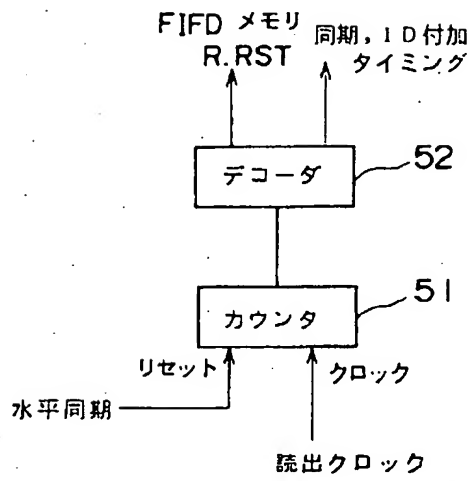
【図2】



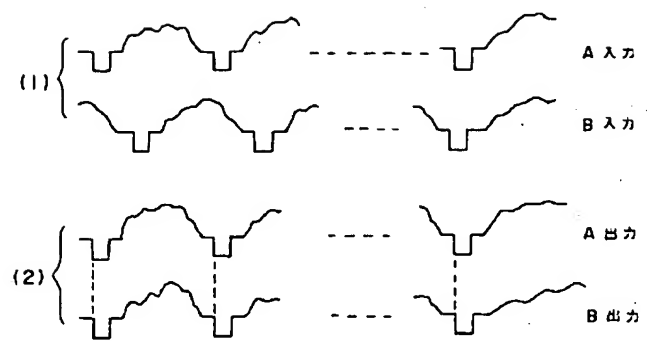
【図3】



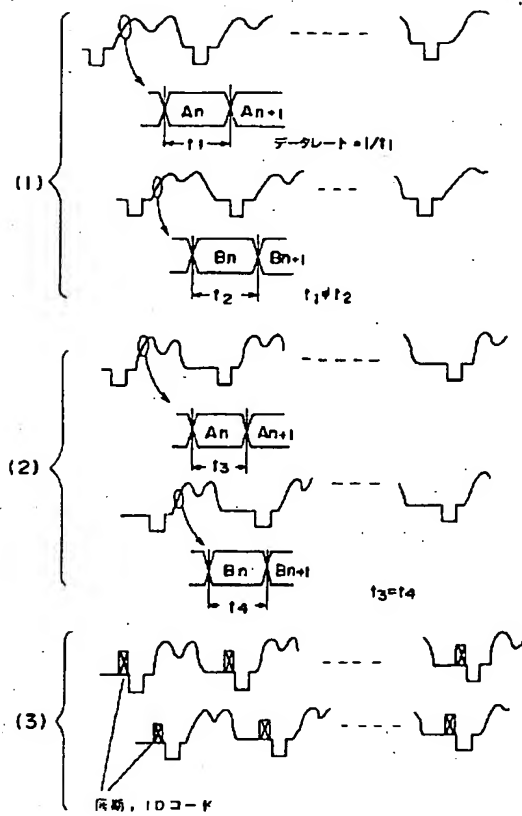
【図4】



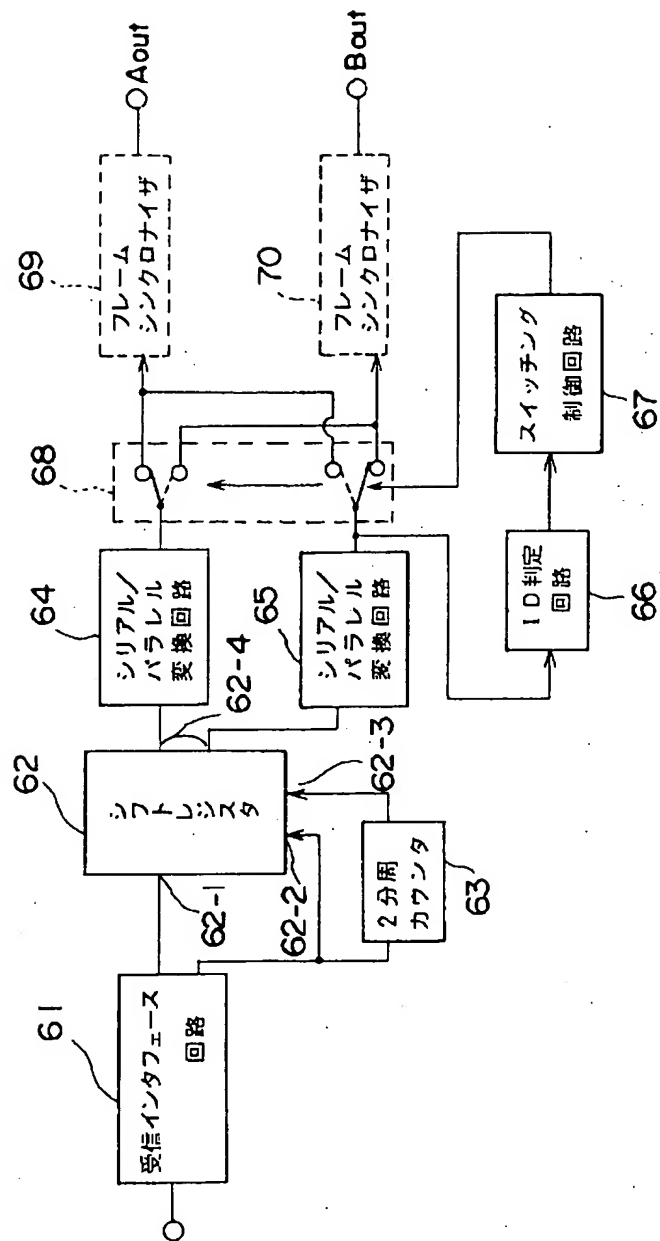
【図5】



【図6】



【図7】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked.

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.